

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-114936

(43)Date of publication of application : 21.04.2000

(51)Int.Cl.

H03K 4/06  
H02P 7/63

**(21)Application number : 10-287653**

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 09.10.1998

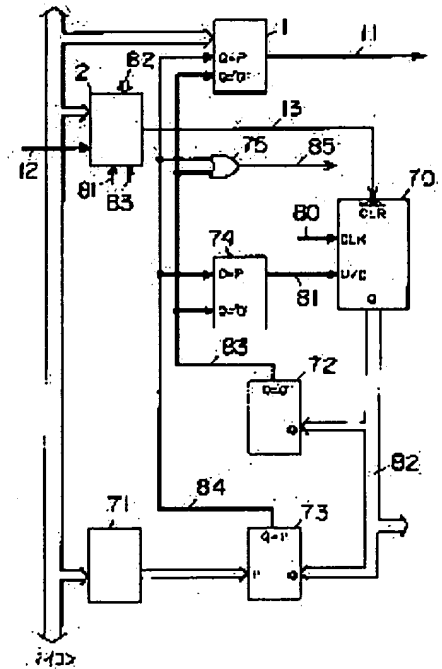
(72)Inventor : TAGAMI HIROZO  
ISHIMOTO KENJI  
ISOMURA YOSHINORI

## (54) DIGITAL TRIANGULAR WAVE FORM GENERATION DEVICE

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To remove mutual interference between devices by switching the operation of a count-up operation with the matching signal of a first digital comparator to a count-down operation with the matching signal of a second digital comparator, generating a synchronous control signal with the matching signals of the both comparators and controlling the operation of an up/down counter with a synchronous control signal inputted from outside.

**SOLUTION:** A digital triangular wave form generating device is provided with an up/down counter 70 which counts a source clock 80 and can change over a count-up operation and a count-down operation by a count direction switch signal 81 and a first register 71. The first register 71 can be rewritten by a micro computer and holds the maximum value of count-up. The digital triangular wave form generation device is provided with a first digital comparator 72. The first digital comparator 72 detects that the content of the up/down counter 70 is matched with '0'.



## LEGAL STATUS

[Date of request for examination]

07.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3659024

[Date of registration]

25.03.2005

[Number of appeal against examiner's decision of

**This Page Blank (uspto)**

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**This Page Blank (uspto)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-114936  
(P2000-114936A)

(43) 公開日 平成12年4月21日 (2000. 4. 21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 3 K 4/06		H 0 3 K 4/06	A 5 H 5 7 6
H 0 2 P 7/63	3 0 2	H 0 2 P 7/63	3 0 2 K
			3 0 2 L

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願平10-287653  
(22) 出願日 平成10年10月9日 (1998. 10. 9)

(71) 出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72) 発明者 田上 博三  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72) 発明者 石本 憲治  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(74) 代理人 100097445  
弁理士 岩橋 文雄 (外2名)

最終頁に続く

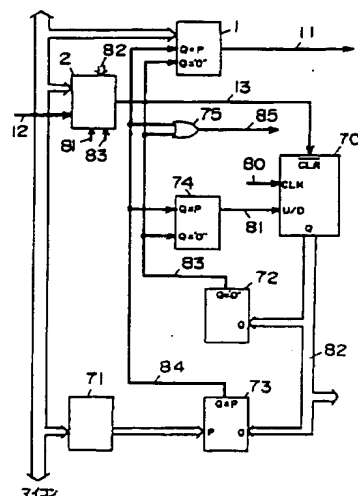
(54) 【発明の名称】 デジタル三角波波形発生装置

(57) 【要約】

【課題】 デジタル三角波波形発生装置において、波形発生装置を複数同時に使用した場合の各装置間の波形生成タイミングの同期を取ることで、信号干渉による装置間の誤動作をなくし信頼性向上を図ることを目的とする。

【解決手段】 カウントクリアおよびカウント方向切換可能なアップダウンカウンタと、カウンタが0と一致したことを検出する第1のデジタルコンパレータと、カウンタが設定値と一致したことを検出する第2のデジタルコンパレータと、カウント方向切換手段と、第1のデジタルコンパレータと第2のデジタルコンパレータより同期制御信号を生成するホスト処理手段と、外部から入力される同期制御信号によりアップダウンカウンタ動作を制御するスレーブ処理手段からなる。

1...ホスト処理手段  
2...スレーブ処理手段  
11...同期制御出力信号  
12...同期制御入力信号  
13...カウントクリア信号  
70...アップダウンカウンタ  
71...第1レジスタ  
72...第1のデジタルコンパレータ  
73...第2のデジタルコンパレータ  
74...カウント方向切換手段  
80...ソースクロック  
81...カウント方向切換信号  
82...カウントデータ



## 【特許請求の範囲】

【請求項 1】 一定の周波数で発振するソースクロックをカウントしカウントアップ動作とカウントダウン動作をカウント方向切換信号にて切換可能およびカウントクリア信号にてカウント内容を 0 にクリア可能なアップダウンカウンタと、データが書き換え可能なレジスタでカウントアップの最大値を保持する第 1 のレジスタと、前記アップダウンカウンタの内容が 0 と一致したことを検出する第 1 のデジタルコンパレータと、前記アップダウンカウンタの内容が前記第 1 のレジスタと一致したことを検出する第 2 のデジタルコンパレータと、前記カウント方向切換信号を前記第 1 のデジタルコンパレータの一致信号にてカウントアップ動作に、また前記第 2 のデジタルコンパレータの一致信号にてカウントダウン動作に切換動作するカウント方向切換手段と、前記第 1 のデジタルコンパレータの一致信号と第 2 のデジタルコンパレータの一致信号より同期制御信号を生成するホスト処理手段を備えたデジタル三角波波形発生装置。

【請求項 2】 第 1 のデジタルコンパレータの一致信号もしくは第 2 のデジタルコンパレータの一致信号のいずれか一方を同期制御出力信号として出力するホスト処理手段を備えた請求項 1 記載のデジタル三角波波形発生装置。

【請求項 3】 データが書き換え可能なレジスタで一致信号出力選択値を保持する第 2 のレジスタと前記第 2 のレジスタにより第 1 のデジタルコンパレータの一致信号もしくは第 2 のデジタルコンパレータの一致信号のいずれか一方を同期制御出力信号として出力する第 1 のセレクトからなるホスト処理手段を備えた請求項 1 または請求項 2 記載のデジタル三角波波形発生装置。

【請求項 4】 一定の周波数で発振するソースクロックをカウントしカウントアップ動作とカウントダウン動作をカウント方向切換信号にて切換可能およびカウントクリア信号にてカウント内容を 0 にクリア可能なアップダウンカウンタと、データが書き換え可能なレジスタでカウントアップの最大値を保持する第 1 のレジスタと、前記アップダウンカウンタの内容が 0 と一致したことを検出する第 1 のデジタルコンパレータと、前記アップダウンカウンタの内容が前記第 1 のレジスタと一致したことを検出する第 2 のデジタルコンパレータと、前記カウント方向切換信号を前記第 1 のデジタルコンパレータの一致信号にてカウントアップ動作に、また前記第 2 のデジタルコンパレータの一致信号にてカウントダウン動作に切換動作するカウント方向切換手段と、外部から入力される同期制御信号により前記アップダウンカウンタの動作を制御するスレーブ処理手段を備えたデジタル三角波波形発生装置。

【請求項 5】 第 1 のデジタルコンパレータの一致信号にてアップダウンカウンタの内容を 0 にクリアし、ク

リア状態を一定期間保持後、アップダウンカウンタの再動作、または、第 1 のデジタルコンパレータの一致信号にてアップダウンカウンタのクリア状態保持中に外部から入力される同期制御信号によりアップダウンカウンタの再動作、または、アップダウンカウンタの内容が設定値以内かつ外部から入力される同期制御信号によりアップダウンカウンタの内容を 0 にクリア後アップダウンカウンタの再動作のいずれかを行うスレーブ処理手段を備えた請求項 4 記載のデジタル三角波波形発生装置。

【請求項 6】 データが書き換え可能なレジスタで外部から入力される同期制御入力信号の入力有効／無効のしきい値を保持する第 3 のレジスタと、アップダウンカウンタの内容が前記第 3 のレジスタと一致したことを検出する第 3 のデジタルコンパレータと、前記アップダウンカウンタがカウントダウン動作時に前記第 3 のデジタルコンパレータの一致信号により“H”レベルを保持し前記アップダウンカウンタの内容が 0 にクリア後カウント動作を始めると“L”レベルを保持する第 1 のデータ保持手段と、前記第 1 のデータ保持手段の出力が“H”レベルの期間に外部から入力される同期制御入力信号が“L”から“H”に変化すると前記アップダウンカウンタの内容を 0 にするため一時“L”レベルを保持する第 2 のデータ保持手段と、データが書き換え可能なレジスタでカウント動作停止数を保持する第 4 のレジスタと、一定の周波数で発振するソースクロックをカウントしてカウントダウン動作およびデータプリセット信号にてカウンタ内容を前記第 4 のレジスタの値にプリセット可能なプリセッタブルダウンカウンタと、前記プリセッタブルダウンカウンタの内容が 0 と一致したことを検出する第 4 のデジタルコンパレータと、第 1 のデジタルコンパレータの一致信号により“H”から“L”に変化かつ保持し、前記第 4 のレジスタに保持されたカウント動作停止数だけソースクロックを前記プリセッタブルダウンカウンタでカウントし、前記第 4 のデジタルコンパレータの一致信号により“H”レベルを保持する第 3 のデータ保持手段と、第 2 のデータ保持手段の出力と第 3 のデータ保持手段の出力よりアップダウンカウンタを 0 にするためのカウントクリア信号を出力するクリア信号発生手段からなるスレーブ処理手段を備えた請求項 4 または請求項 5 記載のデジタル三角波波形発生装置。

【請求項 7】 第 1 のデジタルコンパレータの一致信号と第 2 のデジタルコンパレータの一致信号より同期制御信号を生成するホスト処理手段と、外部から入力される同期制御信号により前記アップダウンカウンタの動作を制御するスレーブ処理手段とを備えたデジタル三角波波形発生装置を複数同時に使用する際、1つのホスト処理手段に対して他の複数のスレーブ処理手段を並列に接続する請求項 1, 2, 3, 4, 5, 6 のいずれか 1 項に記載のデジタル三角波波形発生装置およびディ

3

タル三角波波形発生システム。

【請求項 8】 第 1 のデジタルコンパレータの一致信号と第 2 のデジタルコンパレータの一致信号より同期制御信号を生成するホスト処理手段と、外部から入力される同期制御信号により前記アップダウンカウンタの動作を制御するスレーブ処理手段とを備えたデジタル三角波波形発生装置を複数同時に使用する際、1 つのホスト処理手段に対して他のスレーブ処理手段 1 つを接続し、このスレーブ処理手段とベアになっているホスト処理手段とさらに他のスレーブ処理手段 1 つとを接続するように前記デジタル三角波波形発生装置を直列に接続する請求項 1, 2, 3, 4, 5, 6 のいずれか 1 項に記載のデジタル三角波波形発生装置およびデジタル三角波波形発生システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、AC サーボコントローラ等における三相電動機 PWM 制御装置のデジタル三角波波形発生装置に関するものである。

【0002】

【従来の技術】近年、AC サーボコントローラ等の電動機制御装置のデジタル化が進んでおり、これに伴い三相電動機の PWM 制御装置において PWM 波形発生に使用される三角波波形発生装置もデジタル化に対応すべく手段が考案されている。

【0003】図 9 は従来のデジタル三角波波形発生装置の代表例である。以下、その構成について図 9 を参照しながら説明する。

【0004】図 9 に示すようにソースクロック 80 をカウントしカウントアップ動作とカウントダウン動作をカウント方向切換信号 81 にて切換可能なアップダウンカウンタ 70 と、マイコンにより書き換え可能なレジスタでカウントアップの最大値を保持する第 1 のレジスタ 71 と、アップダウンカウンタ 70 の内容が“0”と一致したことを検出する第 1 のデジタルコンパレータ 72 と、アップダウンカウンタ 70 の内容が第 1 のレジスタ 71 と一致したことを検出する第 2 のデジタルコンパレータ 73 と、第 1 のデジタルコンパレータ 72 の一致信号 83 にてカウント方向切換信号 81 をカウントアップ動作に、また第 2 のデジタルコンパレータ 73 の一致信号 84 にてカウントダウン動作に切換動作するカウント方向切換手段 74 と、第 1 のデジタルコンパレータ 72 の一致信号 83 と第 2 のデジタルコンパレータ 73 の一致信号 84 との論理和を行う OR 素子 75 から構成されている。

【0005】図 10 は、図 9 の動作概要を示す図であり、第 1 のデジタルコンパレータ 72 の出力 83 と第 2 のデジタルコンパレータ 73 の出力 84 に応じてカウント方向切換信号 81 が変化し、0 から第 1 のレジスタ値までのアップダウン動作を繰り返す行方。

4

【0006】図 11 は、図 9 のデジタル三角波波形発生装置を三相電動機の電動機制御に用いた場合の構成例であり、電動機を制御する指令やフィードバック情報を処理する制御処理手段 90 と、制御処理手段 90 からの情報を演算するマイコン 91 と、図 9 の構成からなるデジタル三角波波形発生装置 92 と、三相 PWM 信号発生手段 93 と、電動機 96 に電力供給するためのスイッチング手段 94 と、電動機 96 に供給する電流を検出する電流検出手段 95 からなる。

【0007】図 12 は、図 11 における動作波形例であり、U 指令 101, V 指令 102, W 指令 103 は三相 PWM 信号発生手段に入力される指令、COMP U, COMP V, COMP W は前記 U 指令 101, V 指令 102, W 指令 103 とデジタル三角波波形発生装置 92 の出力 82 とをデジタル的に大小比較しカウントデータより指令が大きいまたは等しい場合“H”, カウントデータより指令が小さい場合“L”となる波形、PWM U 104, PWM V 105, PWM W 106 は前記 COMP U, COMP V, COMP W の立ち下がり変化に対して一定時間の遅延 Td を付加した波形、\* PWM U 107, \* PWM V 108, \* PWM W 109 は前記 COMP U, COMP V, COMP W を論理反転し、かつこの信号の立ち下がり変化に対して一定時間の遅延 Td を付加した波形である。

【0008】信号検出タイミング 85 は、カウントデータ 82 の頂点すなわちカウントデータ 82 の値が“0”値もしくはレジスタ 71 が保持する値と一致したときに出力される信号であり、PWM U 104, PWM V 105, PWM W 106 および \* PWM U 107, \* PWM V 108, \* PWM W 109 の信号変化と基本的に信号が重ならないタイミング関係にある。

【0009】三相電動機のフィードバック制御においては、まず、図 11 に示すデジタル三角波波形発生装置 92 の出力である信号検出タイミング 85 によって位置、速度あるいは電流制御に必要なアナログまたはデジタル情報を制御処理手段 90 で検出し、電動機に電力供給するためマイコン 91 による演算により三相 PWM 信号発生手段 93 に入力する PWM 指令 U 指令 101, V 指令 102, W 指令 103 を生成し、U 指令 101, V 指令 102, W 指令 103 とデジタル三角波波形発生装置 92 の出力であるカウントデータ 82 との比較により PWM 信号である PWM U 104, PWM V 105, PWM W 106 および \* PWM U 107, \* PWM V 108, \* PWM W 109 を生成し、さらにこの信号をもとに電動機 96 に電力供給するためのスイッチング手段 94 を介して三相電動機に電力供給が行われる。以後、信号検出タイミング 85 が出力される毎に制御指令情報やフィードバック情報が取り込まれ上記が繰り返される。

【0010】このように、信号検出タイミング 85 と P

WM信号であるPWMU104、PWMV105、PWMW106および\*PWMU107、\*PWMV108、\*PWMW109の信号変化は基本的に信号が重ならないタイミング関係にあり、従って各種制御信号を検出する制御処理手段90はPWM信号にもとづきスイッチング手段94から発生する電気ノイズの影響を受けないよう考慮されている。

【0011】

【発明が解決しようとする課題】しかしながら、上記従来の構成では、電動機の制御装置を単体で構成する範囲では各種制御信号を検出する制御処理手段90はPWM信号にもとづきスイッチング手段94から発生する電気ノイズの影響を受けない構成であるが、制御装置を複数ならべて構成する場合は、他の制御装置の制御処理手段90と別の制御装置のPWM信号、即ちスイッチング手段94から発生する電気ノイズとはタイミング関係が無関係なため電気ノイズの影響を受ける可能性があり、特に制御処理手段90で処理する内容としてアナログ電圧からデジタル電圧への変換処理の場合、ノイズを誤って検出しアナログからデジタル変換してしまい、電動機

の誤動作が生じる恐れがある。

【0012】本発明は上記従来の課題を解決するもので、装置を複数同時に使用しても相互干渉の発生しないデジタル三角波波形発生装置およびデジタル三角波波形発生システムを提供することを目的とする。

【0013】

【課題を解決するための手段】上記の課題を解決するために本発明は、一定の周波数で発振するソースクロックをカウントしカウントアップ動作とカウントダウン動作をカウント方向切換信号にて切換可能およびカウントクリア信号にてカウント内容を0にクリア可能なアップダウンカウンタと、データが書き換え可能なレジスタでカウントアップの最大値を保持する第1のレジスタと、前記アップダウンカウンタの内容が0と一致したことを検出する第1のデジタルコンパレータと、前記アップダウンカウンタの内容が前記第1のレジスタと一致したことを検出する第2のデジタルコンパレータと、前記カウント方向切換信号を前記第1のデジタルコンパレータの一致信号にてカウントアップ動作に、また前記第2のデジタルコンパレータの一致信号にてカウントダウン動作に切換動作するカウント方向切換手段と、前記第1のデジタルコンパレータの一致信号と第2のデジタルコンパレータの一致信号より同期制御信号を生成するホスト処理手段と、外部から入力される同期制御信号により前記アップダウンカウンタの動作を制御するスレーブ処理手段を備えたものである。

【0014】上記手段によって、電動機の制御装置を複数使用した場合でもデジタル三角波波形発生装置における三角波波形は、複数装置間においてタイミングの同期を得ることができ、単体使用時と同一の使用環境が実

現できる。

【0015】

【発明の実施の形態】上記課題を解決するために本発明は、一定の周波数で発振するソースクロックをカウントしカウントアップ動作とカウントダウン動作をカウント方向切換信号にて切換可能およびカウントクリア信号にてカウント内容を0にクリア可能なアップダウンカウンタと、データが書き換え可能なレジスタでカウントアップの最大値を保持する第1のレジスタと、前記アップダウンカウンタの内容が0と一致したことを検出する第1のデジタルコンパレータと、前記アップダウンカウンタの内容が前記第1のレジスタと一致したことを検出する第2のデジタルコンパレータと、前記カウント方向切換信号を前記第1のデジタルコンパレータの一致信号にてカウントアップ動作に、また前記第2のデジタルコンパレータの一致信号にてカウントダウン動作に切換動作するカウント方向切換手段と、前記第1のデジタルコンパレータの一致信号と第2のデジタルコンパレータの一致信号より同期制御信号を生成するホスト処理手段を備えたデジタル三角波波形発生装置である。

【0016】また、第1のデジタルコンパレータの一致信号もしくは第2のデジタルコンパレータの一致信号のいずれか一方を同期制御出力信号として出力するホスト処理手段を備えたデジタル三角波波形発生装置である。

【0017】また、データが書き換え可能なレジスタで一致信号出力選択値を保持する第2のレジスタと前記第2のレジスタにより第1のデジタルコンパレータの一致信号もしくは第2のデジタルコンパレータの一致信号のいずれか一方を同期制御出力信号として出力する第1のセレクトからなるホスト処理手段を備えたデジタル三角波波形発生装置である。

【0018】また、一定の周波数で発振するソースクロックをカウントしカウントアップ動作とカウントダウン動作をカウント方向切換信号にて切換可能およびカウントクリア信号にてカウント内容を0にクリア可能なアップダウンカウンタと、データが書き換え可能なレジスタでカウントアップの最大値を保持する第1のレジスタと、前記アップダウンカウンタの内容が0と一致したことを検出する第1のデジタルコンパレータと、前記アップダウンカウンタの内容が前記第1のレジスタと一致したことを検出する第2のデジタルコンパレータと、前記カウント方向切換信号を前記第1のデジタルコンパレータの一致信号にてカウントアップ動作に、また前記第2のデジタルコンパレータの一致信号にてカウントダウン動作に切換動作するカウント方向切換手段と、外部から入力される同期制御信号により前記アップダウンカウンタの動作を制御するスレーブ処理手段を備えたデジタル三角波波形発生装置である。

【0019】また、第1のデジタルコンパレータの一



致信号にてアップダウンカウンタの内容を0にクリアし、クリア状態を一定期間保持後、アップダウンカウンタの再動作、または、第1のデジタルコンパレータの一致信号にてアップダウンカウンタのクリア状態保持中に外部から入力される同期制御信号によりアップダウンカウンタの再動作、または、アップダウンカウンタの内容が設定値以内かつ外部から入力される同期制御信号によりアップダウンカウンタの内容を0にクリア後アップダウンカウンタの再動作のいずれかを行うスレーブ処理手段を備えたデジタル三角波発生装置である。

【0020】また、データが書き換え可能なレジスタで外部から入力される同期制御入力信号の入力有効/無効のしきい値を保持する第3のレジスタと、アップダウンカウンタの内容が前記第3のレジスタと一致したことを検出する第3のデジタルコンパレータと、前記アップダウンカウンタがカウントダウン動作時に前記第3のデジタルコンパレータの一致信号により“H”レベルを保持し前記アップダウンカウンタの内容が0にクリア後カウント動作を始めると“L”レベルを保持する第1のデータ保持手段と、前記第1のデータ保持手段の出力が“H”レベルの期間に外部から入力される同期制御入力信号が“L”から“H”に変化すると前記アップダウンカウンタの内容を0にするため一時“L”レベルを保持する第2のデータ保持手段と、データが書き換え可能なレジスタでカウント動作停止数を保持する第4のレジスタと、一定の周波数で発振するソースクロックをカウントしてカウントダウン動作およびデータプリセット信号にてカウンタ内容を前記第4のレジスタの値にプリセット可能なプリセッタブルダウンカウンタと、前記プリセッタブルダウンカウンタの内容が0と一致したことを検出する第4のデジタルコンパレータと、第1のデジタルコンパレータの一致信号により“H”から“L”に変化かつ保持し、前記第4のレジスタに保持されたカウント動作停止数だけソースクロックを前記プリセッタブルダウンカウンタでカウントし、前記第4のデジタルコンパレータの一致信号により“H”レベルを保持する第3のデータ保持手段と、第2のデータ保持手段の出力と第3のデータ保持手段の出力よりアップダウンカウンタを0にするためのカウントクリア信号を出力するクリア信号発生手段からなるスレーブ処理手段を備えたデジタル三角波発生装置である。

【0021】また、第1のデジタルコンパレータの一致信号と第2のデジタルコンパレータの一致信号より同期制御信号を生成するホスト処理手段と、外部から入力される同期制御信号により前記アップダウンカウンタの動作を制御するスレーブ処理手段とを備えたデジタル三角波発生装置を複数同時に使用する際、1つのホスト処理手段に対して他の複数のスレーブ処理手段を並列に接続するデジタル三角波発生装置およびデジタル三角波発生システムである。

【0022】さらに、第1のデジタルコンパレータの一致信号と第2のデジタルコンパレータの一致信号より同期制御信号を生成するホスト処理手段と、外部から入力される同期制御信号により前記アップダウンカウンタの動作を制御するスレーブ処理手段とを備えたデジタル三角波発生装置を複数同時に使用する際、1つのホスト処理手段に対して他のスレーブ処理手段1つを接続し、このスレーブ処理手段とベアになっているホスト処理手段とさらに他のスレーブ処理手段1つとを接続するように前記デジタル三角波発生装置を直列に接続するデジタル三角波発生装置およびデジタル三角波発生システムである。

【0023】このように、デジタル三角波発生装置より同期制御信号を得ることができる。また、デジタル三角波発生装置より2種類の同期制御信号を得ることができる。

【0024】また、デジタル三角波発生装置より2種類の同期制御信号の内、いずれか一方を選択し出力することができる。

【0025】また、外部から入力される同期制御信号によりデジタル三角波発生装置を生成することができる。

【0026】また、デジタル三角波の発生を三角波カウンタが“0”値にて一時停止し一定時間経過後に波形再生成、もしくはデジタル三角波の発生を三角波カウンタが“0”値にて一時停止し外部から入力される同期制御信号によりデジタル三角波発生装置を再生成、もしくはデジタル三角波の発生途中で外部から入力される同期制御信号により三角波カウンタの値を“0”にした後デジタル三角波発生装置を再生成することができる。

【0027】また、デジタル三角波の発生途中で外部から入力される同期制御信号により三角波カウンタの値を“0”にした後デジタル三角波発生装置を再生成する際の同期制御信号の入力有効範囲の設定およびデジタル三角波の発生を三角波カウンタが“0”値にて一時停止し一定時間経過後に波形再生成する際の停止時間の設定をすることができる。

【0028】また、デジタル三角波発生装置を並列に接続することにより複数間での三角波発生タイミングを同時に同期を取ることができる。

【0029】さらに、デジタル三角波発生装置を直列に接続することにより複数間での三角波発生タイミングをずらしながら同期を取ることができる。

【0030】

【実施例】以下本発明の実施例について、図面を参照して説明する。

【0031】図1は本発明の一実施例におけるデジタル三角波発生装置の構成を示す図で、従来例と同じものについては同じ番号を付す。

【0032】図1に示すようにソースクロック80をカウントしカウントアップ動作とカウントダウン動作をカウント方向切換信号81にて切換可能なアップダウンカ

ウンタ70と、マイコンにより書き換え可能なレジスタでカウントアップの最大値を保持する第1のレジスタ71と、アップダウンカウンタ70の内容が“0”と一致したことを検出する第1のデジタルコンパレータ72と、アップダウンカウンタ70の内容が第1のレジスタ71と一致したことを検出する第2のデジタルコンパレータ73と、第1のデジタルコンパレータ72の一致信号83にてカウント方向切換信号81をカウントアップ動作に、また第2のデジタルコンパレータ73の一致信号84にてカウントダウン動作に切換動作するカウント方向切換手段74と、第1のデジタルコンパレータ72の一致信号83と第2のデジタルコンパレータ73の一致信号84との論理和出力を行うOR素子75と、マイコンにより書き換え可能なレジスタを有し第1のデジタルコンパレータ72の一致信号83と第2のデジタルコンパレータ73の一致信号84から同期制御出力信号11を出力するホスト処理手段1と、マイコンにより書き換え可能なレジスタを有し外部から入力される同期制御入力信号12とカウント方向切換信号81と第1のデジタルコンパレータ72の一致信号83とアップダウンカウンタ70のカウントデータ82からアップダウンカウンタ70のクリアを行うカウントクリア信号13を出力するスレーブ処理手段2から構成されている。

【0033】以下図2および図3によりホスト処理手段1およびスレーブ処理手段2について説明する。

【0034】図2は図1におけるホスト処理手段1の構成を示す図で、マイコンにより書き換え可能なレジスタで第1のデジタルコンパレータ72の一致信号83と第2のデジタルコンパレータ73の一致信号84を切換える設定を保持する第2のレジスタ21と、第1のデジタルコンパレータ72の一致信号83と第2のデジタルコンパレータ73の一致信号84を切換え同期制御出力信号11を出力する第1のセレクタ22から構成されている。

【0035】図3は図1におけるスレーブ処理手段2の構成を示す図で、マイコンにより書き換え可能なレジスタで外部から入力される同期制御入力信号の入力有効／無効のしきい値を保持する第3のレジスタ23と、アップダウンカウンタの内容82が前記第3のレジスタと一致したことを検出する第3のデジタルコンパレータ24と、カウント方向切換信号81により前記アップダウンカウンタがカウントダウン動作時に前記第3のデジタルコンパレータの一致信号41により“H”レベルを保持し前記アップダウンカウンタの内容が0にクリア後カウント動作を始めると“L”レベルを保持する第1のデータ保持手段25と、前記第1のデータ保持手段の出力42が“H”レベルの期間に外部から入力される同期制御入力信号12が“L”から“H”に変化すると前記アップダウンカウンタの内容を0にするため一時“L”

レベルを保持する第2のデータ保持手段26と、データが書き換え可能なレジスタでカウント動作停止数を保持する第4のレジスタ28と、一定の周波数で発振するソースクロック80をカウントしてカウントダウン動作およびデータプリセット信号44にてカウンタ内容を前記第4のレジスタの値にプリセット可能なプリセッタブルダウンカウンタ29と、前記プリセッタブルダウンカウンタの内容45が0と一致したことを検出する第4のデジタルコンパレータ30と、第1のデジタルコンパレータの一致信号83により“H”から“L”に変化かつ保持し、前記第4のレジスタ28に保持されたカウント動作停止数だけソースクロック80を前記プリセッタブルダウンカウンタ29でカウントし、前記第4のデジタルコンパレータ30の一致信号46により“H”レベルを保持する第3のデータ保持手段27と、第2のデータ保持手段の出力43と第3のデータ保持手段の出力44よりアップダウンカウンタを0にするためのカウントクリア信号13を出力するクリア信号発生手段31から構成されている。

【0036】次にホスト処理手段1およびスレーブ処理手段2の動作について図4および図5、図6、図7により説明する。

【0037】図4はホスト処理手段1の動作およびスレーブ処理手段2との関係を示す図であり、デジタル三角波発生装置をX、Yの2台使用した動作例である。Xをホスト側、Yをスレーブ側とし、X側ではアップダウンカウンタの内容82が0もしくは最大値のポイント即ち、第1のデジタルコンパレータ72の一致信号83と第2のデジタルコンパレータ73の一致信号84とを第2のレジスタで保持する設定により第1のセレクタ22で選択して出力を行い、第1のデジタルコンパレータ72の一致信号83を選択した場合11

(a) 信号が出力され、第2のデジタルコンパレータ73の一致信号84を選択した場合11 (b) 信号が出力される。

【0038】一方Y側では、前記同期制御出力信号として出力された11 (a) 信号、または11 (b) 信号を同期制御入力信号として12 (a) 信号、または12

(b) 信号として受信し、スレーブ処理手段2を介して12 (a) 信号が同期制御入力信号の場合スレーブ

(a) に示すデジタル三角波発生を、12 (b) 信号が同期制御入力信号の場合スレーブ (b) に示すデジタル三角波発生を行う。このようにして複数回のデジタル三角波発生の同期化を行う。

【0039】次に、スレーブ処理手段2の動作について説明する。図5は図3のスレーブ処理手段2において同期制御入力信号12が全く入力されないもしくは入力有効範囲内で入力されない場合の動作図であり、この場合アップダウンカウンタ70はカウントデータ82が0になった時点でこの状態を保持し第4のレジスタ28に保

10

20

30

40

50

持される待ち時間が経過後、再びカウント動作を再開する実施例である。

【0040】まず、第3のデジタルコンパレータ24にて第3のレジスタ23に保持されたしきい値とアップダウンカウンタのカウントデータ82との一致検出を行い一致信号41を出力し、カウント方向切換信号81が“H”レベルすなわちカウントダウン動作時の前記一致信号41により同期制御入力信号を入力有効として第1のデータ保持手段25の出力42を“H”レベルに保持する。この保持された“H”レベルはアップダウンカウンタの内容が0になった後カウント動作を始めると“L”レベルが保持され以降同期制御入力信号が入力されても無効扱いとなる。

【0041】次に第2のデータ保持手段26では、前記同期制御入力信号の有効を示す信号42が“H”にもかかわらず同期制御入力信号12が入力されないため第2のデータ保持手段26は出力43として“H”を保持する。

【0042】次にアップダウンカウンタの内容が0になると第1のデジタルコンパレータ72の一致信号83が“H”となり、この信号により第3のデータ保持手段27の出力44は“H”から“L”に変化し、同時にプリセッタブルダウンカウンタ29は第4のレジスタで保持している値をデータプリセットする動作からソースクロック80をカウントする動作へ切換わる。

【0043】同時にクリア信号発生手段31は前記第2のデータ保持手段26の出力43と第3のデータ保持手段27の出力44よりアップダウンカウンタ70のカウントクリア信号13として“L”を出力し、クリア状態にする。

【0044】次にプリセッタブルダウンカウンタ29のカウントデータ45が0になり第4のデジタルコンパレータにて一致信号46を検出すると第3のデータ保持手段27の出力44は“L”から“H”に変化し、プリセッタブルダウンカウンタ29はカウント動作からデータプリセット動作へ切換わる。

【0045】同時にクリア信号発生手段31は前記第2のデータ保持手段26の出力43と第3のデータ保持手段27の出力44よりアップダウンカウンタ70のカウントクリア信号13として“H”を出力し、カウント状態にする。

【0046】このようにして外部から入力される同期制御入力信号が入力されない場合、第1のデジタルコンパレータの一致信号にてアップダウンカウンタの内容を0にクリアし、クリア状態を一定期間保持後、アップダウンカウンタの再動作によりデジタル三角波波形の生成を行う。

【0047】図6は図3のスレーブ処理手段2においてアップダウンカウンタがクリア保持中に同期制御入力信号12が入力される場合の動作図であり、この場合アップダウンカウンタ70はカウントデータ82が0になっ

た時点でこの状態を保持し同期制御入力信号により再びカウント動作を再開する実施例である。

【0048】まず、図5の動作と同様にして第3のデジタルコンパレータ24と第3のレジスタ23とアップダウンカウンタのカウントデータ82とカウント方向切換信号81により同期制御入力信号を入力有効として第1のデータ保持手段25の出力42を“H”レベルに保持する。ここで第2のデータ保持手段26では、前記同期制御入力信号の有効を示す信号42が“H”にもかかわらず同期制御入力信号12の入力がないため第2のデータ保持手段26は出力43として“H”を保持する。

【0049】次にアップダウンカウンタの内容が0になると第1のデジタルコンパレータ72の一致信号83が“H”となり、この信号により第3のデータ保持手段27の出力44は“H”から“L”に変化し、同時にプリセッタブルダウンカウンタ29は第4のレジスタで保持している値をデータプリセットする動作からソースクロック80をカウントする動作へ切換わる。

【0050】同時にクリア信号発生手段31は前記第2のデータ保持手段26の出力43と第3のデータ保持手段27の出力44よりアップダウンカウンタ70のカウントクリア信号13として“L”を出力し、クリア状態にする。

【0051】次にプリセッタブルダウンカウンタ29の出力45が0になる前に外部より同期制御入力信号12が“L”から“H”に変化すると第2のデータ保持手段26は前記アップダウンカウンタ70の内容を0にするため一時“L”レベルを保持する。このときクリア信号発生手段31は前記第2のデータ保持手段26の出力43と第3のデータ保持手段27の出力44よりアップダウンカウンタ70の動作を0保持からカウント動作に切り換えるためカウントクリア信号13として“H”を出力し、カウント状態にする。

【0052】このようにしてアップダウンカウンタが0を保持中に外部から同期制御入力信号が入力された場合、同期制御入力信号が入力された時点でアップダウンカウンタの再動作によりデジタル三角波波形の生成を行う。

【0053】図7は図3のスレーブ処理手段2においてアップダウンカウンタ70の内容がレジスタで保持される同期制御入力信号の入力有効範囲内で同期制御入力信号12が入力される場合の動作図であり、この場合、同期制御入力信号を受信した時点でアップダウンカウンタ70を一旦クリアし再びカウント動作を再開する実施例である。

【0054】まず、図5の動作と同様にして第3のデジタルコンパレータ24と第3のレジスタ23とアップダウンカウンタのカウントデータ82とカウント方向切換信号81により同期制御入力信号を入力有効として第1のデータ保持手段25の出力42を“H”レベルに保

持する。

【0055】次にアップダウンカウンタの内容が0になる前に外部より同期制御入力信号12が“L”から“H”に変化すると第2のデータ保持手段26は前記アップダウンカウンタ70の内容を0にするため一時“L”レベルを保持する。

【0056】このときクリア信号発生手段31は前記第2のデータ保持手段26の出力43と第3のデータ保持手段27の出力44よりアップダウンカウンタ70のカウントクリア信号13として一時“L”を出力しカウン

タを一旦クリア後、カウント動作を再開する。  
【0057】このようにしてアップダウンカウンタの内容がレジスタで保持される同期制御入力信号の入力有効範囲内で同期制御入力信号が入力された場合、同期制御入力信号を受信した時点でアップダウンカウンタを一旦クリアし再びカウント動作を再開しデジタル三角波波形の生成を行う。

【0058】図8は本発明におけるデジタル三角波波形発生装置60を三相電動機の制御装置61に用い、複数接続する一実施例の構成を示す図である。

【0059】図8(a)は1つのデジタル三角波波形発生装置60をホスト側として同期制御出力信号11を出力し、他はすべてスレーブ側として前記ホスト側からの同期制御出力信号11を同期制御入力信号12として使用した並列接続の実施例であり、デジタル三角波波形生成はホスト側を基準に同じタイミングで生成同期を行うシステムである。

【0060】図8(b)は図(a)に対して直列接続の実施例であり、デジタル三角波波形生成は一番先頭に位置するデジタル三角波波形発生装置を基準にして少しずつつタイミングをずらして生成同期を行うシステムである。

【0061】

【発明の効果】上記の実施例から明らかなように本発明は、電動機の制御装置を複数使用した場合でもデジタル三角波波形発生装置における三角波波形は、複数装置間においてタイミングの同期を得ることができ、アナログ情報およびデジタル情報の各種制御信号を検出する制御処理手段において、PWM信号にもとづきスイッチング手段から発生する電気ノイズに対して相互干渉などの影響を受けない信号検出が実現でき、デジタル三角波波形発生装置を用いた電動機制御装置の信頼性向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施例のデジタル三角波波形発生装

置の構成図

【図2】本発明の実施例のホスト処理手段の構成図

【図3】本発明の実施例のスレーブ処理手段の構成図

【図4】本発明の実施例のホスト処理手段の動作説明図

【図5】本発明の実施例のスレーブ処理手段の動作説明

図

【図6】本発明の実施例のスレーブ処理手段の動作説明

図

【図7】本発明の実施例のスレーブ処理手段の動作説明

図

【図8】本発明の実施例のデジタル三角波波形発生装置の接続構成図

【図9】従来のデジタル三角波波形発生装置の構成図

【図10】従来のデジタル三角波波形発生装置の動作説明図

【図11】一般的な三相電動機制御装置の構成図

【図12】一般的な三相電動機制御装置の動作説明図

【符号の説明】

1 ホスト処理手段

2 スレーブ処理手段

21 第2のレジスタ

22 第1のセレクト

23 第3のレジスタ

24 第3のデジタルコンパレータ

25 第1のデータ保持手段

26 第2のデータ保持手段

27 第3のデータ保持手段

28 第4のレジスタ

29 プリセッタブルダウンカウンタ

30 第4のデジタルコンパレータ

31 クリア信号発生手段

70 アップダウンカウンタ

71 第1のレジスタ

72 第1のデジタルコンパレータ

73 第2のデジタルコンパレータ

74 カウント方向切換手段

75 OR素子

90 制御処理手段

91 マイコン

92 デジタル三角波波形発生装置

93 三相PWM信号発生手段

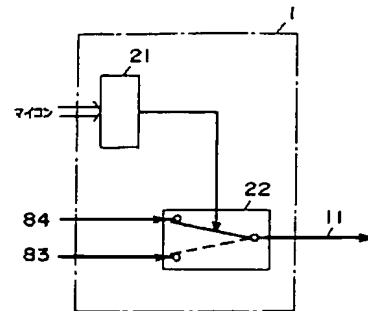
94 スwitching手段

95 電流検出手段

96 三相電動機

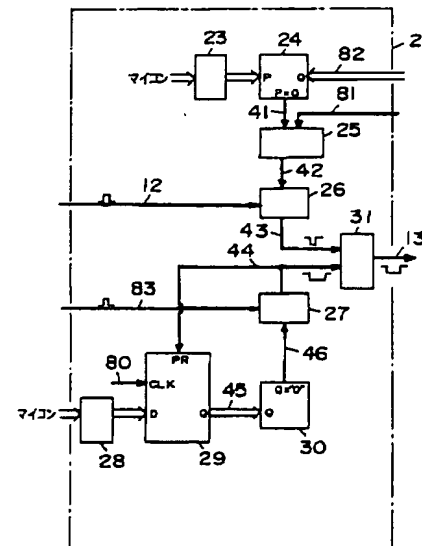
【圖2】

- 21--第2のレジスタ  
22--第1のセクタ

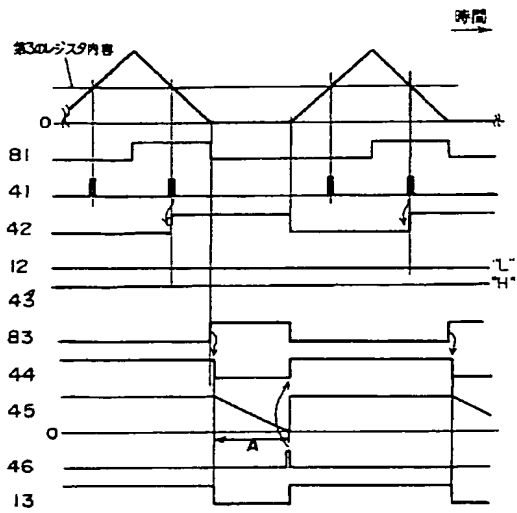


【圖3】

- 【図4】

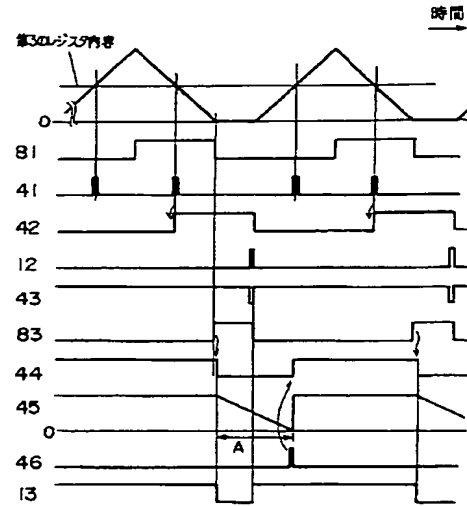


【図5】

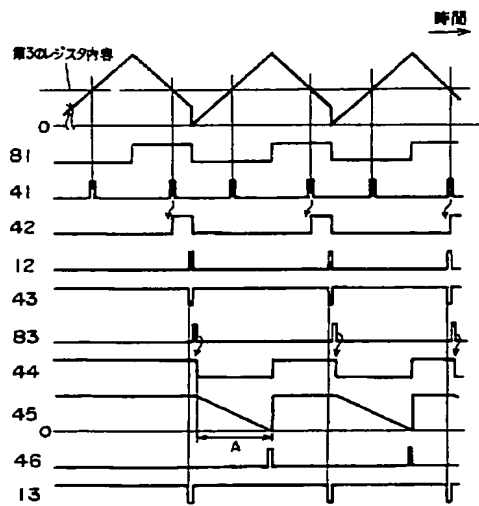


A: 第4レジスタとプリセットブル  
ダウンカウンタによる遅延タイム時間

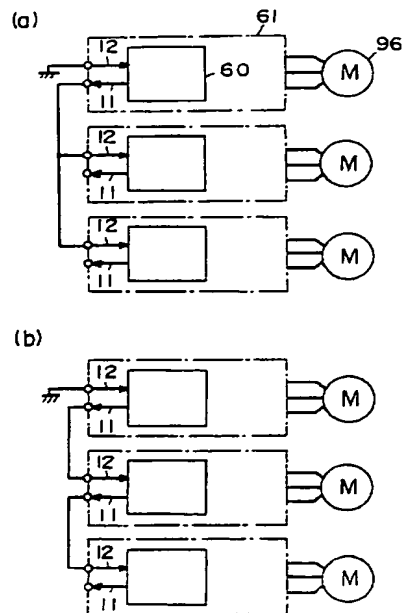
【図6】



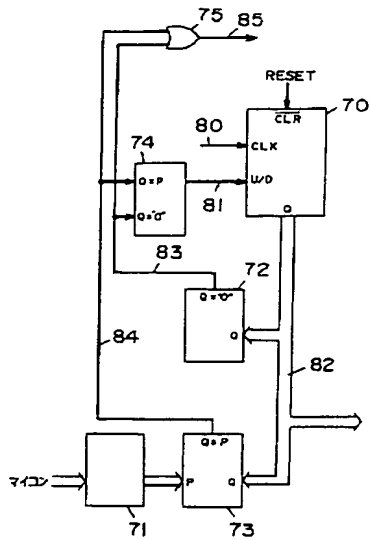
【図7】



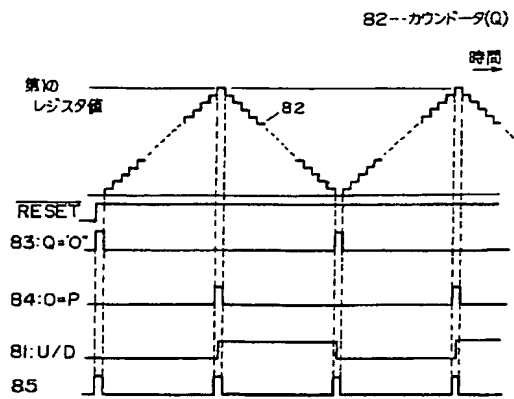
【図8】



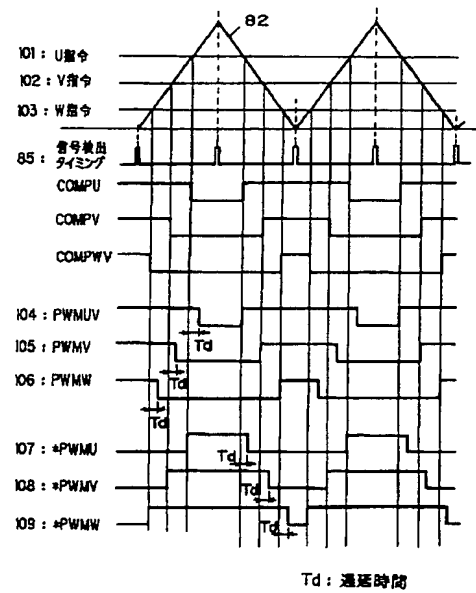
【図9】



【図10】

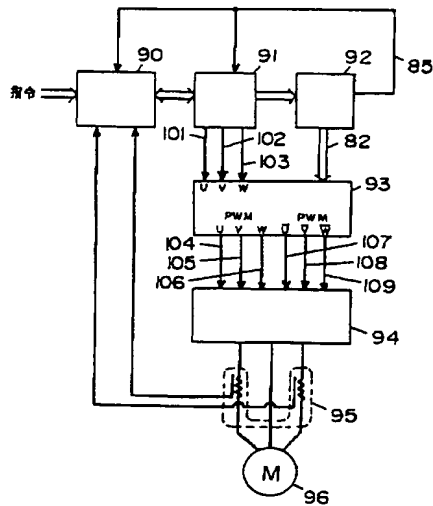


【図12】



【図11】

90…制御処理手段  
91…マイコン  
92…デジタル三角波発生装置  
93…三相PWM信号発生手段  
94…スイッチング手段  
95…電流検出手段



フロントページの続き

(72)発明者 磯村 宜典  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

F ターム(参考) SH576 AA17 B806 DD02 EE14 EE30  
JJ03 JJ11 JJ12 JJ13 JJ17  
JJ29